

539,495

10/539495

(12) NACH DEM VEREINBAR ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. Juli 2004 (08.07.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/057356 A1

(51) Internationale Patentklassifikation⁷: **G01R 31/3185**

(72) Erfinder; und

(21) Internationales Aktenzeichen: PCT/DE2003/004177

(75) Erfinder/Anmelder (*nur für US*): **HARTER, Werner** [DE/DE]; Hummelberg 4, 75428 Illingen (DE). **ANGER-BAUER, Ralf** [DE/DE]; Austrasse 113, 70376 Stuttgart (DE). **BOEHL, Eberhard** [DE/DE]; Heimbuehlstrasse 36, 72768 Reutlingen (DE).

(22) Internationales Anmeldedatum:
18. Dezember 2003 (18.12.2003)

(25) Einreichungssprache: Deutsch

(74) Gemeinsamer Vertreter: **ROBERT BOSCH GMBH**; Postfach 30 02 20, 70442 Stuttgart (DE).

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 61 250.1 20. Dezember 2002 (20.12.2002) DE
103 51 442.2 4. November 2003 (04.11.2003) DE

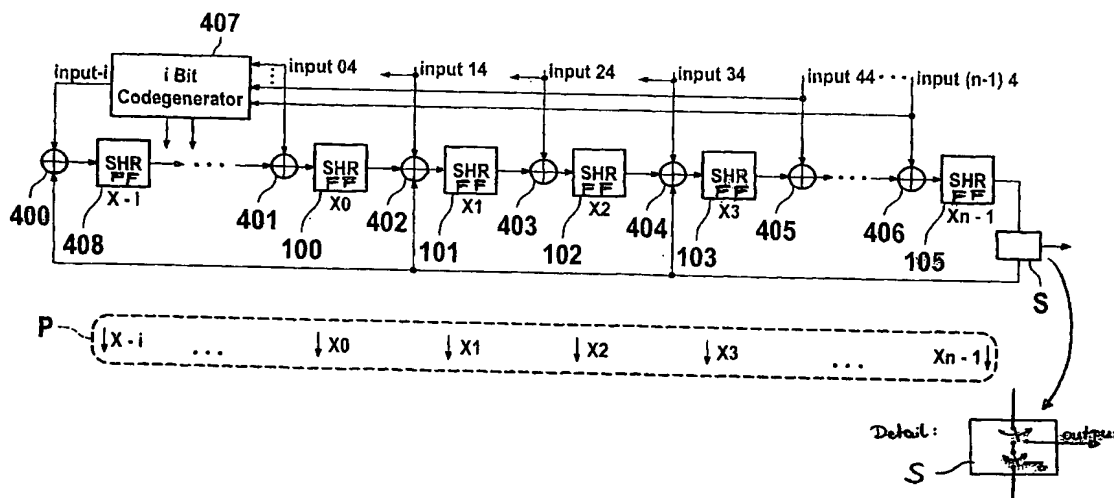
(81) Bestimmungsstaaten (*national*): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(71) Anmelder (*für alle Bestimmungsstaaten mit Ausnahme von US*): **ROBERT BOSCH GMBH** [DE/DE]; Postfach 30 02 20, 70442 Stuttgart (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: DEVICE AND METHOD FOR CREATING A SIGNATURE

(54) Bezeichnung: VORRICHTUNG UND VERFAHREN ZUR BILDUNG EINER SIGNATUR



(57) Abstract: The invention relates to a device and a method for creating a signature. Input data to be checked is applied in bits as successive data words (DW1-DW3) in a parallel manner to a pre-determined number of shift registers (100-105) which further serially shift the input data in a pre-determined clock pulse, a signature being created in the shift registers after a determined number of data words and cycles. A code generator (4.07) produces at least one additional bit position in at least one additional shift register (408) from each data word in the signature.

(57) Zusammenfassung: Vorrichtung und Verfahren zur Bildung einer Signatur, wobei eine vorgegebene Anzahl an Schieberegistern (100-105) vorgesehen ist, an welche zu prüfenden Eingangsdaten bitweise und parallel als aufeinander folgende Datenwörter (DW1-DW3) angelegt werden und welche die Eingangsdaten in einem vorgebbaren Takt seriell weiter schieben, wobei nach einer bestimmten Anzahl von Datenwörtern und Takten eine Signatur in den Schieberegistern gebildet wird, wobei zusätzlich ein Codegenerator (4.07) vorgesehen ist, der wenigstens eine zusätzliche Bitstelle in wenigstens einem zusätzlichen Schieberegister (408) aus jedem Datenwort in der Signatur erzeugt.

WO 2004/057356 A1



(84) **Bestimmungsstaaten (regional):** ARIPO-Patent (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— mit internationalem Recherchenbericht

5

10 Vorrichtung und Verfahren zur Bildung einer Signatur

Stand der Technik

15 Für die Bildung von Signaturen werden MISR-Schaltungen benutzt (MISR = Multiple Input Signature Register), wie sie beispielsweise in der Veröffentlichung Built-In Test for VLSI: Pseudorandom Techniques, von Paul H. Bardell, William H. McAnney und Jacob Savir auf Seite 124 f beschrieben sind. Dabei ist eine vorgegebene Anzahl an Schieberegistern vorgesehen, an welche zu prüfende Daten in einer Folge angelegt werden. Dabei werden die parallel anstehenden Daten eingekoppelt und in einem
20 vorgegebenen Takt durch die Schieberegister weitergeschoben. Nach einer genau festgelegten Anzahl von Datenwörtern und Takten liegt in den Schieberegistern dann ein Signaturwert vor, der mit einem vorbekannten Signaturwert vergleich- und überprüfbar ist. Um einen Ablauf und die dabei angelegten Daten auf Fehlerfreiheit zu prüfen, genügt es, den erhaltenen Signaturwert mit dem erwarteten Signaturwert zu vergleichen. Dabei
25 können auch die vorbekannten Signaturwerte auf diese Weise ermittelt werden.

Problematisch wird das Verfahren und die Vorrichtung aus dem Stand der Technik dann, wenn zu einem Zeitpunkt T ein Fehler an einem bestimmten Eingang vorliegt, da dann zunächst ein falscher Wert in das betroffene Schieberegister geschrieben wird. Die
30 berechnete Endsignatur wird deshalb von der erwarteten Signatur abweichen. Tritt jedoch zusätzlich zu einem nachfolgenden Zeitpunkt T+1 an einem nachfolgenden, insbesondere direkt nachfolgenden Eingang ein Fehler auf, so wird der ursprüngliche Fehler am ersten Eingang nach dem Verschieben durch die Schieberegister mit einer Anzahl von Takten, die dem Abstand der Eingänge und Zeitpunkte entspricht, insbesondere mit einem Takt

wieder kompensiert, wenn keine Rückkopplungsverzweigung des MISR also der Signaturerzeugungsschaltung dazwischen liegt. So werden Fehler, die zu solch problematischen Zeitpunkten und Datenwortpositionen auftreten, bei der Signaturbildung nicht bemerkt.

5

Eine Möglichkeit, bei der Einspeicherung Vorsorge zu treffen, um diese Problematik auszuschließen, ist die Einspeisung des inversen Datenwortes folgend auf ein Datenwort, so dass ein Fehler in jedem Fall nicht kompensiert, sondern bemerkt wird. Dies verdoppelt aber die Anzahl der notwendigen Operationen und Takte.

10

So zeigt sich, dass der Stand der Technik nicht in jeder Hinsicht optimale Ergebnisse zu liefern vermag, und es ergibt sich daraus die Aufgabe, eine verbesserte Vorrichtung und ein verbessertes Verfahren zur Beherrschung der oben genannten Problematik im Rahmen der Bildung von Signaturen zu entwickeln.

15

Vorteile der Erfindung

Die Erfindung geht aus von einer Vorrichtung und einem Verfahren zur Bildung einer Signatur, wobei eine vorgegebene Anzahl an Schieberegistern vorgesehen ist, an welche zu prüfende Eingangsdaten bitweise und parallel als aufeinander folgende Datenwörter angelegt werden und welche die Eingangsdaten in einem vorgebbaren Takt seriell weiterschieben und nach einer bestimmten Anzahl von Datenwörtern und Takten eine Signatur in den Schieberegistern gebildet wird, wobei vorteilhafter Weise zusätzlich ein Codegenerator vorgesehen ist, der wenigstens eine zusätzliche Bitstelle in wenigstens einem zusätzlichen Schieberegister aus jedem Datenwort in der Signatur erzeugt. D. h. vorteilhafter Weise wird das MISR um wenigstens eine Bitstelle erweitert, wobei diese Bitstelle jeweils aus dem jeweils anliegenden kompletten Datenwort gewonnen wird und in die Signatur mit eingeht. Dadurch kann vorteilhafter Weise die Sicherheit zur Beherrschung oben genannter Problematik erzielt werden, ohne eine Vielzahl von zusätzlichen Operationen und Takten bei der Signaturbildung durchzuführen.

20

25

30

Auf diese Weise wird eine Fehlermaskierung bei den genannten Mehrfachfehlern mit geringstem Schaltungsmehraufwand verhindert.

Weiterhin von Vorteil ist, dass die einzelnen Schieberegister durch Antivalenzpunkte, also XOR-Verknüpfungen verbunden sind und auch die einzelnen Bitstellen über diese Antivalenzpunkte eingekoppelt werden.

5 Ebenso ist es zweckmäßigerweise denkbar, statt einer Antivalenzverknüpfung, also einem Antivalenzpunkt einen Äquivalenzpunkt, also ein negiertes XOR zu verwenden, um die einzelnen Bitstellen zum Einen der Datenwörter und zum Anderen die wenigstens eine Bitstelle des Codegenerators in die entsprechenden Schieberegister einzukoppeln.

10 Vorteilhafter Weise ist der Codegenerator derart ausgebildet, dass dieser einen ECC-Code (Error Check and Correction) realisiert, wie beispielsweise einen Hamming-Code, einen Berger-Code oder einen Bose-Lin-Code, usw., um die an dem jeweiligen ECC-Code entsprechende Anzahl an Bitstellen einer entsprechenden Anzahl an zusätzlichen Schieberegistern zur Signaturbildung vorzugeben. Im allgemeinsten Fall kann eine
15 *Codegeneratortabelle (festverdrahtet oder in SW) verwendet werden, um einem bestimmten Eingangsmuster der Datenworte bzw. Bits ein gewünschtes Codemuster beliebiger Länge zuzuordnen. Im einfachsten Fall ist der Codegenerator vorteilhafter Weise derart ausgebildet, dass dieser ein Parity-Bit bildet und dieses einem zusätzlichen Schieberegister vorgibt.*

20 Weitere Vorteile und vorteilhafte Ausgestaltungen ergeben sich aus der Beschreibung sowie den Merkmalen der Ansprüche.

25 Beschreibung der Ausführungsbeispiele

25 Figur 1 zeigt eine MISR-Schaltung mit Schieberegistern 100 bis 105 und Antivalenz-, also XOR-Verknüpfungspunkten 106 bis 111. Entsprechend der Rückkopplung ist hier ein modularer Typ dargestellt. Dabei werden die Eingänge Input 0, Input 1, Input 2, Input 3, Input 4 und Input n-1 in die Schieberegister eingekoppelt, die den entsprechenden
30 Bitstellen der angelegten Datenwörter entsprechen sowie in einem vorgegebenen Takt eingelesen und durchgeschoben. In den Schieberegistern ergeben sich dann die Zustände X0, X1, X2, X3, X4 und Xn-1, wobei n eine natürliche Zahl größer Null ist und in diesem konkreten Beispiel sogar mindestens 6 entspricht.

Figur 2 zeigt ebenfalls ein MISR und ebenfalls mit den Schieberegistern 100 bis 105 sowie den Antivalenz-, also XOR-Verknüpfungen 106 bis 111. Weiterhin sind zusätzlich zwei XOR-Verknüpfungen 111 und 113 dargestellt, die in diesem Beispiel nach Schieberegister 100 und Schieberegister 102 bedient werden. Es handelt sich hierbei
5 somit um den Standardtyp eines MISR, wobei die Einkoppelpunkte, also die Antivalenzverknüpfungen 112 und 113 ebenso wie deren Anzahl beliebig in der MISR gewählt werden können. Auch hier sind die Eingänge von 0 bis $n-1$ dargestellt und ebenso die Zustände der Schieberegister von X_0 bis X_{n-1} mit $n \in \mathbb{N}$.

Figur 3 zeigt nun die Darstellung dreier Datenwörter DW_1 , DW_2 und DW_3 , die in dieser Folge an die Eingänge Input 0 bis Input $n-1$ angelegt werden sollen. Die einzelnen Bitstellen sind mit BS_0 bis BS_{n-1} dargestellt. Liegt nun beispielsweise zum Zeitpunkt T im Datenwort DW_1 , bestimmt für Input 1 ein Fehler F an und ebenso zum späteren Zeitpunkt $T+1$ im Datenwort DW_2 also bei Input 2, so kompensieren sich diese Fehler
10 nach dem Verschieben mit einem Takt in dem MISR. Gleiches gilt für weitere Fehlerkonstellationen, die aufgrund des Einkoppelzeitpunktes bzw. der Position im Datenwort und dem entsprechenden Input eine Kompensation zur Folge haben.

In Figur 4 nun wird das MISR um einen i Bit-Codegenerator 407 erweitert. Dabei stellt i ebenfalls als eine natürliche Zahl größer Null die Anzahl der Bits dar, die durch den Codegenerator in das MISR eingekoppelt werden entsprechend des verwendeten Codes bzw. ECC-Codes im Codegenerator. Entsprechend dieser Anzahl i der ausgegebenen Bitstellen des Codegenerators ist auch eine entsprechende Anzahl an Schieberegistern, hier mit 408 bezeichnet, zusätzlich zum MISR vorgesehen. Im einfachsten Fall erfolgt
15 hier eine Parity-Bit-Bildung, so dass dann nur ein zusätzliches Schieberegister vorgesehen ist und ein weiterer Input -1 .

An welcher Stelle im MISR das wenigstens eine zusätzliche Schieberegister bzw. der wenigstens eine zusätzliche Einkoppelpunkt, also Antivalenz- bzw. Äquivalenzpunkt eingebracht wird, ist frei wählbar und hier nur beispielhaft dargestellt. D. h. auch hier in
20 Figur 4 sind wieder die üblichen Schieberegister 100 bis 105 dargestellt, wobei wenigstens ein zusätzliches Schieberegister 408 vorgesehen ist. Die Eingänge der erfindungsgemäßen Vorrichtung Input 04, Input 14, Input 24, Input 34, Input 44 und Input $(n-1)4$ sind hier nicht nur auf die Antivalenzpunkte, also die XOR-Verknüpfungen

geführt, sondern auch dem i Bit-Codegenerator zugeführt. So wird im vorgegebenen Takt aus jedem eingehenden Datenwort eine Zusatzinformation, abhängig vom verwendeten Code (insbesondere ECC), generiert und einer entsprechenden Anzahl von Schieberegistern eingespeist. In diesem Beispiel sind als XOR-Verknüpfungspunkte die Elemente 400 bis 406 vorgesehen, wobei sich in unserem Beispiel neben dem Eingang Input $-i$ und dem Zustand $X -i$ des Schieberegisters 408 die üblichen Zustände X_0, X_1, X_2, X_3 und X_{n-1} der Schieberegister ergeben. Die zusätzlichen Pfeile als Ausgang des i Bit-Codegenerators 407 deuten an, dass in einer anderen Ausführungsform eben mehr als nur eine zusätzliche Bitstelle in das MISR geschrieben werden, abhängig vom verwendeten Code.

Bei Verwendung eines Hamming-Codes ergibt sich beispielsweise also bei ECC für Einzelfehlerkorrektur, bei 4 Bit Nutzdaten 3 Bit Korrekturcode. Bei ECC Ein-Fehler-Korrektur mit 8 Bit Nutzdaten ergeben sich 4 Bit Korrekturcode. Bei 16 Bit Nutzdaten ergeben sich 5 Bit Korrekturcode und bei 32 Bit Nutzdaten 6 Bit Korrekturcode. Also allgemein $2^k \geq m+k+1$, wobei m der Anzahl der Nutzbits als natürliche Zahl größer 0 entspricht und k den Codebits oder Korrekturbits bzw. dem Korrekturcode ebenfalls als natürliche Zahl. Soll zusätzlich eine Zweifach-Fehler-Detektion erfolgen, ist jeweils 1 Bit mehr Korrekturcode vorzusehen.

Wird beispielsweise ein Berger-Code verwendet, sind bei 4 Bit-Nutzdaten zusätzlich 3 Codebits 5 Zustände vorzusehen, bei 8 Bit Nutzdaten zusätzlich 4 Codebits für 9 Zustände. Bei 16 Bit Nutzdaten zusätzlich 5 Codebits bei 17 Zuständen und bei 32 Bit Nutzdaten zusätzlich 6 Codebits bei 33 Zuständen. Hier heißt es allgemein $2^k \geq m+1$ bzw. $k \geq \text{ld}(m+1)$, wobei m der Nutzbitanzahl der Daten entspricht und k der Codebitanzahl bzw. dem Korrekturcode.

Auch weitere Codes, wie der Brose-Lin-Code sind hierbei möglich, wobei die Anzahl der Codierungsbits dabei gleich ist wie die des Berger-Codes aber die Prüfbits lediglich Modulo 4 oder Modulo 8 genommen werden.

Entsprechend der Anzahl dieser Codierungsbits k ist somit auch die Anzahl der Ausgänge des Codegenerators vorzusehen, also zusätzliche Eingänge (inputs) $-i$, wobei $i = 1$ bis $k \in$

N und eine ebensolche entsprechende Anzahl an Schieberegistern und Verknüpfungspunkten.

5 Das MISR wird somit um mindestens eine Stelle erweitert, indem mindestens ein Parity- oder anderer Code aus den ursprünglichen Daten Input 0 bis Input $n - 1$ gewonnen wird und in die Signatur, hier im Beispiel in Figur 4 für den modularen Typ (Figur 1) gezeichnet, mit eingeht. Gleiches gilt natürlich auch für den Standardtyp (Figur 2). Der Codegenerator kann somit ein Parity-Generator sein mit $i = 1$, wobei in diesem Fall genau ein zusätzliches Flip-Flop notwendig ist. Für den Fall, dass beispielsweise am Input 3 ein Fehler auftritt, wird zusätzlich am Input -1, also dem Parity-Input, ein veränderter Wert
10 eingespeist. Um diesen Wert im Fehlerfall zu maskieren, ist dann genau im nächsten Takt sowohl an Input 4 als auch an Input 0 ein Fehler notwendig. Es liegt hier also ein höherer Hamming-Abstand vor und durch das notwendige präzise zeitliche Verhalten bei der Fehlermaskierung mit Doppelfehler verringert sich die Wahrscheinlichkeit der
15 Maskierung deutlich.

Mit einem noch höheren Aufwand an Codebits, wie oben erwähnt, kann der Hamming-Abstand beliebig weiter erhöht werden. Wird statt der Antivalenz- eine Äquivalenzverknüpfung zur Einkopplung verwendet, erzielt man zwar geringfügig
20 geringere Redundanz, aber immer noch eine deutlich geringere Fehlerauslöschungswahrscheinlichkeit als im Stand der Technik.

Als weitere Möglichkeit ergibt sich für den Codegenerator 407 noch eine Tabellenzuordnung, also der Einsatz einer Codegeneratortabelle, bei der abhängig von
25 der eingehenden Bitkombination des Datenwortes eine vorgegebene Anzahl an Codebits in eine entsprechende Anzahl Schieberegister eingekoppelt wird. Durch eine solche Codegeneratortabelle ist eine beliebige Zuordnung von eingehenden Datenbits zu ausgegebenen Codierungsbits möglich.

30 Zum Auslesen der gebildeten Signatur aus dem MISR ist im seriellen Fall ein Schaltmittel S vorgesehen, welches die Rückkoppelleitung unterbricht und ein Auslesen der Register seriell ermöglicht. Zum Anderen besteht die Möglichkeit, wie mit dem Buchstaben P und der gestrichelten Linie angedeutet, die Schieberegister parallel und

damit die Signatur in einem Zuge aus dem MISR auszugeben, um diese mit einer entsprechenden erwarteten Signatur zu vergleichen.

5

Die Erfindung stellt also einen deutlich höheren Sicherheitsfaktor dar als eine gewöhnliche MISR und dies bei deutlich geringerem Aufwand als eine ständig notwendige Inversion der Datenwörter zum Ausgleich einer Fehlermaskierung.

10

Damit ist die Erfindung bei allen sicherheitskritischen Anwendungen, insbesondere im Fahrzeugbereich wie bei Bremsensteuerungen (ABS, ASR, ESP, usw.), steer-by-wire, break-by-wire, also allgemein x-by-wire, Airbag, Motorsteuerung, Getriebesteuerung, usw. einsetzbar. Ebenso Einsatz finden kann die Erfindung bei Mikrocontrollern oder anderen Halbleiterstrukturen im Rahmen eines Tests sowie bei allen BIST-Strukturen (built-in-self-test) und auch zur Optimierung von Produktionstests.

15

5

10

Ansprüche

15

1. Vorrichtung zur Bildung einer Signatur, wobei eine vorgegebene Anzahl an Schieberegistern vorgesehen ist, an welche zu prüfenden Eingangsdaten bitweise und parallel als aufeinander folgende Datenwörter angelegt werden und welche die Eingangsdaten in einem vorgebbaren Takt seriell weiter schieben, wobei nach einer bestimmten Anzahl von Datenwörtern und Takten eine Signatur in den Schieberegistern gebildet wird dadurch gekennzeichnet, dass zusätzlich ein Codegenerator vorgesehen ist, der wenigstens eine zusätzliche Bitstelle in wenigstens einem zusätzlichen Schieberegister aus jedem Datenwort in der Signatur erzeugt.

20

2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die einzelnen Schieberegister durch Antivalenzpunkte verbunden sind und die einzelnen Bits der Datenwörter in diese Antivalenzpunkte ebenso wie die wenigstens eine zusätzliche Bitstelle des Codegenerators zur Signaturbildung eingekoppelt werden.

25

3. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die einzelnen Schieberegister durch Äquivalenzpunkte verbunden sind und die einzelnen Bits der Datenwörter in diese Äquivalenzpunkte ebenso wie die wenigstens eine zusätzliche Bitstelle des Codegenerators zur Signaturbildung eingekoppelt werden.

30

4. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Codegenerator derart ausgebildet ist, dass dieser einen ECC Code realisiert und die dem jeweiligen ECC

Code entsprechende Anzahl an Bitstellen einer entsprechenden Anzahl an zusätzlichen Schieberegistern zur Signaturbildung vorgibt.

5 5. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass der Codegenerator derart ausgebildet ist, dass dieser ein Parity-Bit bildet und dem einen zusätzlichen Schieberegister vorgibt.

10 6. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass der Codegenerator derart ausgebildet ist, dass dieser einen Hamming Code realisiert.

 7. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass der Codegenerator derart ausgebildet ist, dass dieser einen Berger Code realisiert.

15 8. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass der Codegenerator derart ausgebildet ist, dass dieser einen Bose-Lin Code realisiert.

 9. Vorrichtung nach Anspruch 4, dadurch gekennzeichnet, dass der Codegenerator derart ausgebildet ist, dass dieser eine allgemeine Codegeneratortabelle realisiert.

20 10. Verfahren zur Bildung einer Signatur, wobei eine vorgegebene Anzahl an Schieberegistern vorgesehen ist, an welche zu prüfenden Eingangsdaten bitweise und parallel als aufeinander folgende Datenwörter angelegt werden und welche die Eingangsdaten in einem vorgebbaren Takt seriell weiter schieben, wobei nach einer bestimmten Anzahl von Datenwörtern und Takten eine Signatur in den Schieberegistern gebildet wird
25 dadurch gekennzeichnet, dass zusätzlich ein Codegenerator vorgesehen ist, der wenigstens eine zusätzliche Bitstelle in wenigstens einem zusätzlichen Schieberegister aus jedem Datenwort in der Signatur erzeugt.

FIG. 1

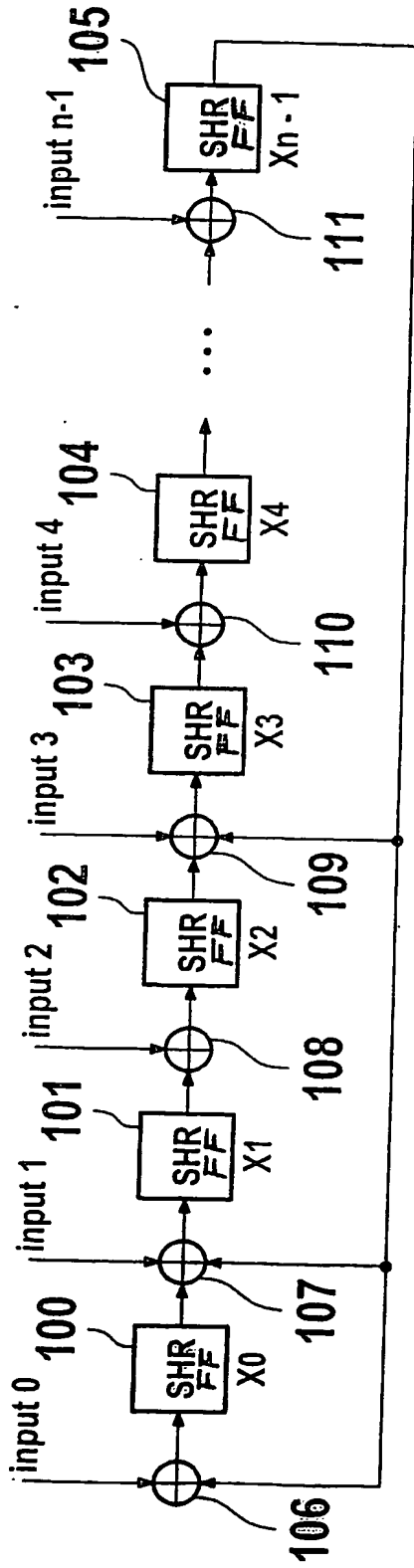


FIG. 2

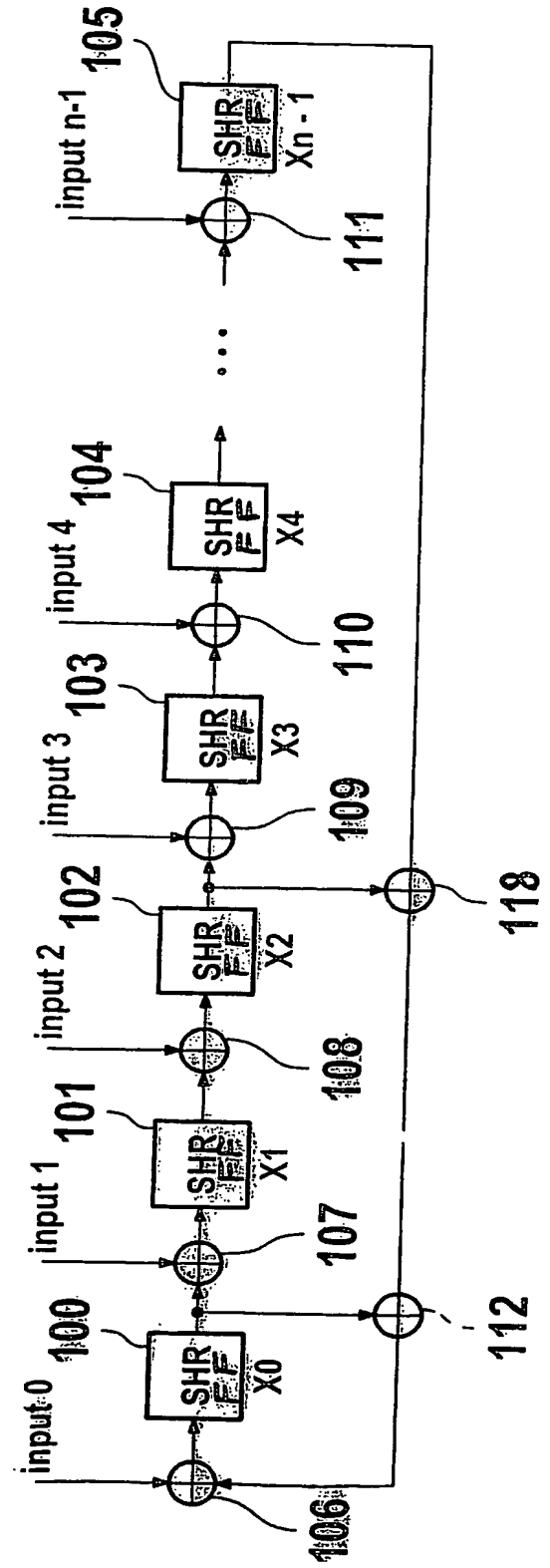


FIG. 3

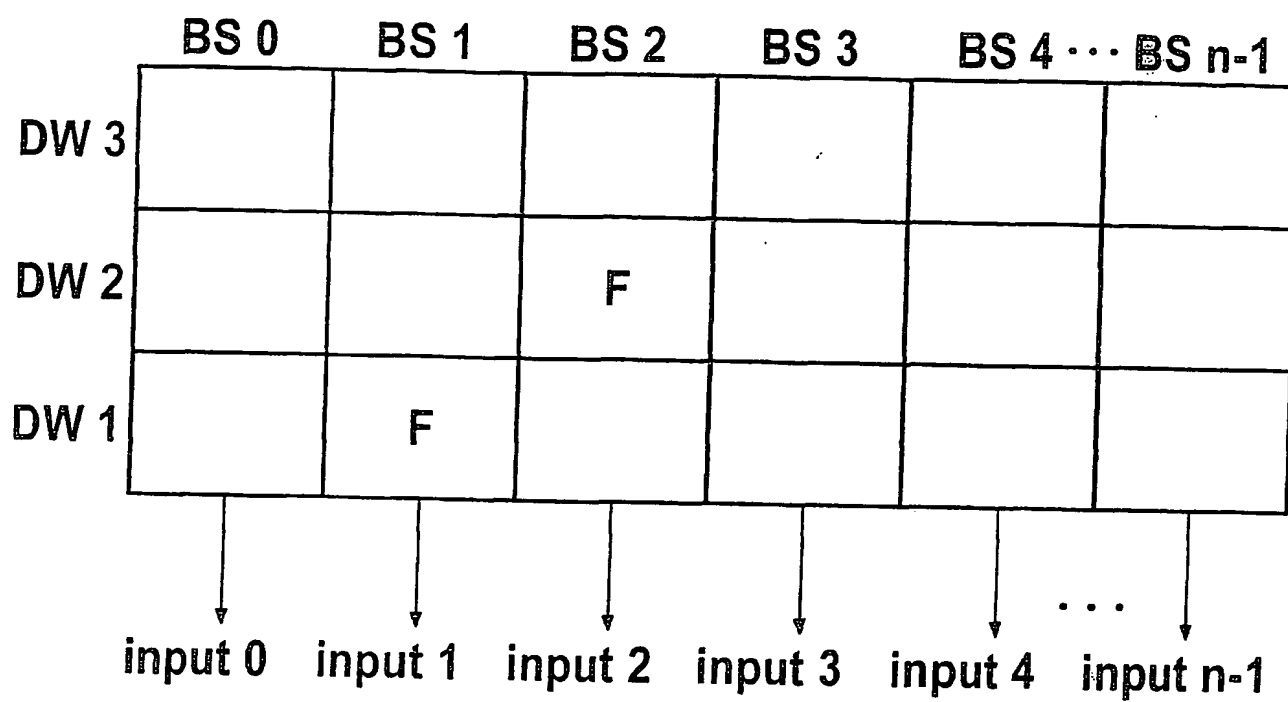
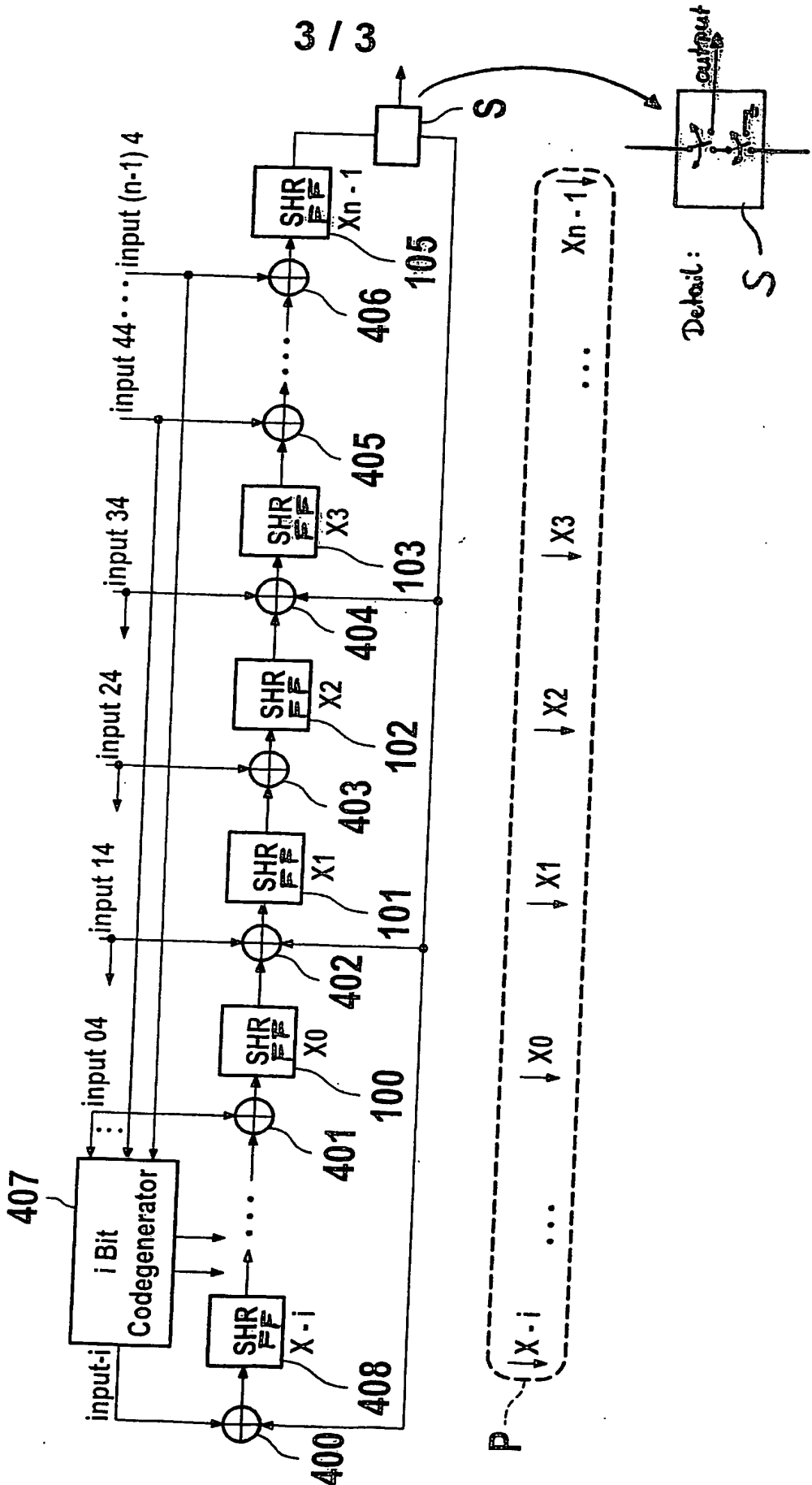


FIG. 4



INTERNATIONAL SEARCH REPORT

International Application No

PO 03/04177

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G01R31/3185

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G01R

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	HLAWICZKA A ET AL: "A linear code-preserving signature analyzer COPMISR" VLSI TEST SYMPOSIUM, 1997., 15TH IEEE MONTEREY, CA, USA 27 APRIL-1 MAY 1997, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 27 April 1997 (1997-04-27), pages 350-355, XP010227465 ISBN: 0-8186-7810-0 page 350, paragraph 1 -page 351; figures 1,3 page 353, paragraph 3.1 -page 354, paragraph 3.2 --- -/--	1-10

☒ Further documents are listed in the continuation of box C.

☐ Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

21 April 2004

Date of mailing of the international search report

06/05/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Böhm-Pélissier, A

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 03/04177

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>BADURA D ET AL: "Low cost BIST for EDAC circuits" TEST SYMPOSIUM, 1997. (ATS '97). PROCEEDINGS., SIXTH ASIAN AKITA, JAPAN 17-19 NOV. 1997, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 17 November 1997 (1997-11-17), pages 410-415, XP010258760 ISBN: 0-8186-8209-4 abstract; figures 5,6 page 412, paragraph 3</p>	1-10
X	<p>S K GUPTA, DK PRADHAN: "Utilization of On-Line (Concurrent) Checkers during Built-In-Self-Test and Vice Verca" IEEE TRANSACTIONS ON COMPUTERS, vol. 45, no. 1, 1 January 1996 (1996-01-01), pages 63-73, XP002277483 page 71 -page 72</p>	1-10
X	<p>BISWAS G P ET AL: "Design of t-UED/AUED codes from Berger's AUED code" VLSI DESIGN, 1997. PROCEEDINGS., TENTH INTERNATIONAL CONFERENCE ON HYDERABAD, INDIA 4-7 JAN. 1997, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 4 January 1997 (1997-01-04), pages 364-369, XP010211538 ISBN: 0-8186-7755-4 page 364</p>	1,4,7,8

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 03/04177

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 7 G01R31/3185

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 G01R

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	HLAWICZKA A ET AL: "A linear code-preserving signature analyzer COPMISR" VLSI TEST SYMPOSIUM, 1997., 15TH IEEE MONTEREY, CA, USA 27 APRIL-1 MAY 1997, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 27. April 1997 (1997-04-27), Seiten 350-355, XP010227465 ISBN: 0-8186-7810-0 Seite 350, Absatz 1 -Seite 351; Abbildungen 1,3 Seite 353, Absatz 3.1 -Seite 354, Absatz 3.2 --- -/--	1-10

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☐ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

21. April 2004

Absendedatum des internationalen Recherchenberichts

06/05/2004

Name und Postanschrift der internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Böhm-Pélissier, A

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PROJEKT 03/04177

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	<p>BADURA D ET AL: "Low cost BIST for EDAC circuits" TEST SYMPOSIUM, 1997. (ATS '97). PROCEEDINGS., SIXTH ASIAN AKITA, JAPAN 17-19 NOV. 1997, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 17. November 1997 (1997-11-17), Seiten 410-415, XP010258760 ISBN: 0-8186-8209-4 Zusammenfassung; Abbildungen 5,6 Seite 412, Absatz 3</p> <p>---</p>	1-10
X	<p>S K GUPTA, DK PRADHAN: "Utilization of On-Line (Concurrent) Checkers during Built-In-Self-Test and Vice Versa" IEEE TRANSACTIONS ON COMPUTERS, Bd. 45, Nr. 1, 1. Januar 1996 (1996-01-01), Seiten 63-73, XP002277483 Seite 71 -Seite 72</p> <p>---</p>	1-10
X	<p>BISWAS G P ET AL: "Design of t-UED/AUED codes from Berger's AUED code" VLSI DESIGN, 1997. PROCEEDINGS., TENTH INTERNATIONAL CONFERENCE ON HYDERABAD, INDIA 4-7 JAN. 1997, LOS ALAMITOS, CA, USA, IEEE COMPUT. SOC, US, 4. Januar 1997 (1997-01-04), Seiten 364-369, XP010211538 ISBN: 0-8186-7755-4 Seite 364</p> <p>-----</p>	1,4,7,8